

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010060783**  
(43)Date of publication of application: **07.07.2001** **A**

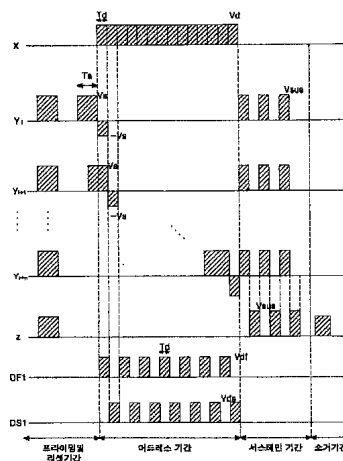
(21)Application number: **1019990063225**  
(22)Date of filing: **28.12.1999**  
(30)Priority: **..**  
(51)Int. Cl **G09G 3/28**

(71)Applicant: **LG ELECTRONICS INC.**  
(72)Inventor: **MYUNG, DAE JIN**

(54) **PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF**

(57) Abstract:

**PURPOSE:** A plasma display panel and a driving method thereof are provided to improve a luminance and a picture quality by generating enough charged particles before an address discharge. **CONSTITUTION:** An auxiliary pulse( $V_a$ ) is applied to scan electrode lines( $Y_1$  to  $Y_m$ ) before an address discharge. At this time, negative electric charges are generated at the upper dielectric layer. Because sustain electrode lines( $Z_1$  to  $Z_m$ ) maintains a ground voltage, the negative electric charges are generated easily. After this, a negative type scan pulse( $-V_s$ ) is applied to the scan electrode lines( $Y_1$  to  $Y_m$ ). Next, an address discharge occurs between the scan electrode line( $Y$ ) and a data electrode line( $X$ ) to which a data pulse( $V_d$ ) is supplied. At this time, a pulse width of the discharge pulse is shortened by means of the negative charges, and a voltage level is decreased, and an address discharge characteristic is stabilized. Though the pulse width of the discharge pulse and the voltage level are decreased, a discharge delay phenomenon and an error discharge phenomenon do not occur because of the charged particles.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000117)  
Notification date of refusal decision ( )  
Final disposal of an application (registration)  
Date of final disposal of an application (20020227)

Patent registration number (1003300300000)

Date of registration (20020312)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent ( )

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

Date of extinction of right ( )

# PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

**Publication number:** KR20010060783 (A)

**Publication date:** 2001-07-07

**Inventor(s):** MYUNG DAE JIN [KR]

**Applicant(s):** LG ELECTRONICS INC [KR]

**Classification:**

- international: **G09G3/28; G09G3/288; G09G3/28;** (IPC1-7): G09G3/28

- European: G09G3/28T; G09G3/288C4; G09G3/288C6T; G09G3/288S2M

**Application number:** KR19990063225 19991228

**Priority number(s):** KR19990063225 19991228

**Also published as:**

US2006145956 (A1)

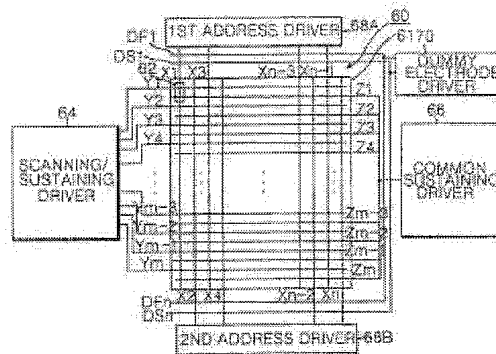
US2002135544 (A1)

US6975285 (B2)

## Abstract of **KR 20010060783 (A)**

**PURPOSE:** A plasma display panel and a driving method thereof are provided to improve a luminance and a picture quality by generating enough charged particles before an address discharge.

**CONSTITUTION:** An auxiliary pulse( $V_a$ ) is applied to scan electrode lines( $Y_1$  to  $Y_m$ ) before an address discharge. At this time, negative electric charges are generated at the upper dielectric layer. Because sustain electrode lines( $Z_1$  to  $Z_m$ ) maintains a ground voltage, the negative electric charges are generated easily. After this, a negative type scan pulse( $-V_s$ ) is applied to the scan electrode lines( $Y_1$  to  $Y_m$ ). Next, an address discharge occurs between the scan electrode line( $Y$ ) and a data electrode line( $X$ ) to which a data pulse( $V_d$ ) is supplied.; At this time, a pulse width of the discharge pulse is shortened by means of the negative charges, and a voltage level is decreased, and an address discharge characteristic is stabilized. Though the pulse width of the discharge pulse and the voltage level are decreased, a discharge delay phenomenon and an error discharge phenomenon do not occur because of the charged particles.



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. <sup>7</sup>  
G09G 3/28

(11) 공개번호 특2001- 0060783  
(43) 공개일자 2001년07월07일

(21) 출원번호 10- 1999- 0063225  
(22) 출원일자 1999년12월28일

(71) 출원인 엘지전자 주식회사  
구자홍  
서울 영등포구 여의도동 20번지

(72) 발명자 명대진  
경기도고양시덕양구관산동216번지삼성빌라씨동301호

(74) 대리인 김영호

심사청구 : 있음

(54) 플라즈마 디스플레이 패널 및 그 구동방법

요약

본 발명은 고속 어드레싱을 통해 데이터 전극의 분할 없이 고해상도 구현을 가능하도록 하는 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

본 발명에서는 어드레스 기간동안 플라즈마 디스플레이 패널의 유효 표시부 이외의 더미영역 내에 위치한 더미전극라인들에 펄스를 공급하여 제 1 보조방전을 일으키기 위한 더미 구동수단과, 스캔전극라인들에 어드레스기간동안 보조펄스와 스캔펄스를 공급하여 방전셀 내에 제 2 보조방전과 어드레스방전을 순차적으로 일으키기 위한 스캔전극 구동수단을 구비한다.

본 발명에 의하면, 스캔전극라인에 포지티브형의 보조펄스를 공급하여 어드레스 방전 전에 충분한 하전입자를 생성한다. 또한 더미전극라인에 서스테인 펄스를 공급하여 어드레스 기간동안 프라이밍 하전입자를 방전셀들에게 공급하여 어드레스 방전을 용이하게 한다. 어드레스 방전 전에 하전입자들이 충분하게 생성되므로 어드레스 방전 펄스의 펄스폭을 크게 단축시키고 저전압으로 구동시킬 수 있게 된다.

대표도  
도 6

명세서

도면의 간단한 설명

도 1은 종래의 교류 면방전 플라즈마 디스플레이 패널의 방전셀 구조를 도시한 사시도.

도 2는 종래의 교류 면방전 플라즈마 디스플레이 패널의 전체적인 전극 라인 및 방전셀의 배치 구조를 도시한 평면도.

도 3은 플라즈마 디스플레이 패널에서 한 프레임의 계조를 표현하기 위한 ADS 구동방법을 나타낸 도면.

도 4는 종래의 플라즈마 디스플레이 패널의 구동방법에 있어서 서브필드 별로 플라즈마 디스플레이 패널의 각 전극 라인에 공급되는 구동 파형을 나타낸 파형도.

도 5는 본 발명의 교류 면방전 플라즈마 디스플레이 패널의 전체적인 전극 라인 및 방전셀의 배치 구조를 도시한 평면도.

도 6은 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 각 전극 라인에 공급되는 구동 파형을 나타낸 파형도.

도 7은 본 발명의 실시 예에 따른 하전입자들의 경로를 도시한 평면도.

도 8a 내지 8b 는 본 발명의 실시 예에 따른 어드레스 방전을 나타낸 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

20 : 상판 22 : 하판

24,80 : 상부기판 26 : 스캔전극

27 : 서스테인전극 28,86 : 상부유전층

30 : 버스전극 31 : 보호층

32,90 : 하부기판 36,88 : 하부유전층

38 : 방전공간 40 : 형광체

42 : 격벽 44,62 : 방전셀 46,61 : 유효표시부

60 : 플라즈마 디스플레이 패널 64 : 주사/서스테인 구동부

66 : 공통서스테인 구동부 68A : 제 1 어드레스 구동부

68B : 제 2 어드레스 구동부 83 : 음전하

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것으로, 특히 고속 어드레싱을 통해 데이터 전극의 분할 없이 고해상도 구현을 가능하도록 하는 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP" 라 함)은 가스방전에 의해 발생하는 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생하는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극 선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

도 1은 일반적인 교류 면방전 PDP의 방전셀 구조를 도시한 사시도이다.

도 1을 참조하면, 상판(20)과 하판(22)이 일정한 거리를 두고 평행하게 설치되어 있다. 상판(20)을 구성하는 상부기판(24)의 배면에는 교류 구동 신호가 공급되어 서스테인 면방전을 이루는 스캔전극(26)과 서스테인전극(27)이 나란하게 형성된다. 스캔전극(26) 및 서스테인전극(27)은 ITO(Indium Tin Oxide)로 투명하게 형성된 투명전극이다. 스캔전극(26) 및 서스테인전극(27) 각각의 위에는 버스전극(30)이 나란하게 형성된다. ITO가 높은 저항값을 갖기 때문에 버스전극(30)을 통해 교류신호를 공급함으로써 각각의 방전셀에 균일한 전압이 인가되도록 하고 있다. 스캔전극(26) 및 서스테인전극(27)이 형성된 상부기판(24)의 배면에는 상부유전층(28)이 전면에 형성된다. 상부유전층(28)은 방전시 전하를 축적하는 기능을 갖는다. 상부유전층(28) 상에 전면 도포되는 보호층(31)은 방전시 스퍼터링으로부터 상부유전층(28)을 보호하여 화소셀의 수명을 연장시키고 아울러 2차 전자의 방출효율을 높여 방전효율을 향상시킨다. 하판(22)을 구성하는 하부기판(32) 상에는 어드레스 방전을 위한 데이터전극(34)이 스캔전극(26) 및 서스테인전극(27)과 상호 직각으로 교차되도록 형성된다. 하부기판(32)과 데이터전극(34) 상에는 방전시 벽전하 형성을 위한 하부유전층(36)이 전면 도포된다. 또한 상판(20)과 하판(22) 사이에는 격벽(42)이 수직으로 형성된다. 격벽(42)은 상판(20) 및 하판(22)과 함께 셀의 방전공간(38)을 형성하고, 이웃한 방전셀간의 전기적, 광학적 상호 간섭을 차단한다. 하부유전층(36)과 격벽(42)의 표면에는 형광체(40)가 도포된다. 방전공간(38) 내에는 He+ Xe 또는 Ne+ Xe의 혼합가스가 충전된다.

교류 면방전 PDP의 전체적인 전극 라인 및 방전셀의 배치 구조는 도 2에 도시되는 바와 같다.

도 2를 참조하면, 데이터전극라인(X)과 스캔전극라인(Y) 그리고 서스테인전극라인(Z)이 교차하는 부분마다 방전셀(44)이 위치하게 된다. 데이터전극라인(X)은 기수 번째 라인들과 우수 번째 라인들로 분할되어 상하에서 구동되고 있다.

빛이 방출되는 과정을 간략히 설명하면, 스캔전극(26)과 데이터전극(34) 간에 어드레스 방전이 일어나 상/하부유전층(28,36)에 벽전하가 형성된다. 형성된 벽전하는 면방전에 필요한 방전전압을 낮추는 역할을 한다. 어드레스 방전에 의해 선택된 셀들에서는 스캔전극(26)과 서스테인전극(27)에 교번적으로 공급되는 교류 신호에 의해 두 전극(26,27) 간에 서스테인 방전이 일어난다. 이 때 방전공간(38)에서는 방전가스가 여기된 후 천이되는 과정에서 자외선이 발생한다. 발생한 자외선은 형광체(40)를 여기시켜 가시광선을 발생시키게 되고, 이로써 PDP의 화상이 구현되어진다. 교류 면방전 PDP는 ADS(Addressing Display Separated : 이하 "ADS" 라 함) 구동방법에 의해 화상을 표시한다.

도 3은 PDP에서 한 프레임의 계조를 표현하기 위한 ADS 구동방법을 나타내는 도면이다. 16.67ms 동안의 한 프레임은 계조에 따라 8 개의 서브필드(SF1 내지 SF8)로 시분할 되어 구동된다. 각각의 서브필드들(SF1 내지 SF8)은 크게 화면 초기화 및 어드레스 방전이 수행되는 리셋 및 어드레스 기간과, 서스테인 방전이 수행되는 서스테인 기간으로 나뉘어진다. 각각의 서브필드에서 미리 설정된 리셋 및 어드레스 기간의 폭은 동일한 반면에 서스테인 기간의 폭은 서로 다르다. 서스테인 기간은 휘도 대비비에 따라 각 서브필드에서 2"(n="0,1,2,3,4,5,6,7)의 비율로 증가되도록 미리 설정된다.

도 4는 종래의 구동방법에 있어서 서브필드 별로 PDP의 각 전극 라인에 공급되는 구동 파형을 나타낸 파형도이다.

도 4를 참조하면, 하나의 서브필드는 전화면을 초기화하는 프라이밍 및 리셋 기간, 전화면을 선순차 방식으로 스캔하면서 데이터를 기입하는 어드레스 기간, 데이터가 기입된 셀들의 발광 상태를 유지시키는 서스테인 기간 및 유지방전을 소거시키는 소거 기간으로 나뉘어진다. 먼저 리셋 기간에는 방전셀들을 초기화하고, 어드레스 방전을 돕기 위해 스캔전극라인(Y)과 서스테인전극라인(Z)에 인가되는 방전 펄스로 방전을 일으켜 각 방전셀들에 프라이밍 하전입자 및 벽전하를 형성시킨다. 어드레스 기간에는 PDP의 각 스캔라인별 스캔전극라인(Y)들에 스캔펄스(-Vs)가 순차적으로 인가되고, 스캔펄스에 동기되어 데이터펄스(Vd)가 각 데이터전극라인(X)에 공급된다. 이때, 서스테인전극라인(Z)들에는 소정레벨의 직류전압이 공급되며, 이 직류전압은 데이터전극라인(X)과 스캔전극라인(Y) 사이의 어드레스 방전이 안정적으로 일어날 수 있게 한다. 종래의 구동방법에 있어서 어드레스 방전을 일으키기 위한 방전펄스의 펄스폭(Td)은 2.5 $\mu$ s 이상으로 비교적 길다. 서스테인 기간에는 스캔전극라인(Y)과 서스테인전극라인(Z)에 동일한 펄스폭과 전압을 갖는 서스테인 펄스(Vsus)가 교번 적으로 인가되어 어드레스 방전에 의해 선택된 방전셀들에 서스테인 면방전을 일으킨다. 소거 기간에는 서스테인전극라인(Z)에 공급되는 소거펄스에 의해 하전입자들이 소멸되면서 서스테인 방전이 소거된다.

이와 같이 구동되는 종래의 교류 면방전 PDP에서는 어드레스 방전시 안정된 방전 특성을 얻기 위하여 각 서브필드 별로 어드레스 방전 펄스폭(Td)을 2.5 $\mu$ s 이상으로 길게 하거나 방전 펄스의 전압 레벨을 크게 하는 방법을 사용하고 있다. 어드레스 방전 펄스의 전압 레벨을 낮게 하면 방전의 세기와 생성되는 하전입자의 양이 적어진다. 그리고, 어드레스 방전 펄스의 전압 레벨이 낮은 상태에서 펄스폭(Td)까지 짧게 하게 되면 PDP 고유의 특성인 방전 지연 현상에 의해 오방전이 발생할 우려가 있게 된다. 이러한 문제는 방전 펄스의 펄스폭(Td)을 길게 함으로써 해결될 수 있지만 어드레스 방전 펄스의 펄스폭(Td)을 2.5 $\mu$ s 이상으로 길게 할 경우에는 한 프레임의 기간이 16.67ms로 고정되어 있는 상태에서 실제 화면의 밝기를 좌우하는 서스테인 기간이 한 프레임에서 차지하는 비율이 30% 이하로 떨어져 화면의 휘도가 저하되게 된다. 또한, 현재의 PDP 구동방법에서는 PDP가 가지고 있는 고유의 화질 열화 현상인 컨투어 노이즈(Contour Noise)를 줄이기 위해 한 프레임 동안의 서브필드 수를 종래의 8 개에서 10 ~ 12 개로 증가시키고 있다. 그런데 고정된 한 프레임의 기간동안 서브필드의 수가 증가하게 되면, 각 서브필드의 기간이 그만큼 짧아지게 된다. 이러한 경우에도 안정된 방전을 위해 각 서브필드 별로 어드레스 기간은 고정되고, 서스테인 기간만 짧아지게 됨으로 인해 화면의 휘도가 낮아지게 된다. 그리고 스캔라인수가 늘어나는 고해상도의 PDP에서는 서스테인 기간이 너무 짧아지게 되어 디스플레이 자체가 불가능해지게 된다. 고해상도 PDP에서는 스캔라인의 수가 훨씬 더 많아지기 때문에 각 서브필드마다 스캔라인들이 순차적으로 구동되는 어드레스 기간이 더 길어진다. 이에 따라 고정된 한 프레임의 기간동안에 서스테인 기간이 감소할 수 밖에 없어 휘도가 저하되게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 고속 어드레싱을 통해 화면의 휘도를 향상시킬 수 있도록 하는 플라즈마 디스플레이 패널 및 그 구동방법을 제공함에 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널 및 그 구동방법은 어드레스 기간동안 플라즈마 디스플레이 패널의 유효 표시부 이외의 더미영역 내에 위치한 더미전극라인들에 펄스를 공급하여 제 1 보조방전을 일으키기 위한 더미 구동수단과, 스캔전극라인들에 어드레스기간동안 보조펄스와 스캔펄스를 공급하여 방전셀 내에 제 2 보조방전과 어드레스방전을 순차적으로 일으키기 위한 스캔전극 구동수단을 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 5 내지 도 8b를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 5는 본 발명의 실시 예에 따른 교류 면방전 PDP 및 그 구동부를 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시 예에 의한 교류 면방전 PDP의 구동 장치는  $m \times n$  개의 방전셀(62)들이 스캔전극라인들( $Y1$ 내지 $Ym$ ), 서스테인전극라인들( $Z1$ 내지 $Zm$ ) 및 데이터전극라인들( $X1$ 내지 $Xn$ )과 접속되게끔 매트릭스 형태로 배치된 PDP(60)와, PDP(60)의 유효표시부(61)의 위, 아래에 형성된 더미전극라인들( $DF1$ 내지 $DFn$  및  $DS1$ 내지 $DSn$ )과, 스캔전극라인들( $Y1$ 내지 $Ym$ )을 구동하기 위한 주사/서스테인 구동부(64)와, 서스테인전극라인들( $Z1$ 내지 $Zm$ )을 구동하기 위한 공통서스테인 구동부(66)와, 데이터전극라인들( $X1$ 내지 $Xn$ )을 기수 번째 라인과 우수 번째 라인으로 분할 구동하기 위한 제 1 및 제 2 어드레스 구동부(68A, 68B)와, 더미전극라인( $DF1$ 내지 $DFn$  및  $DS1$ 내지 $DSn$ )을 구동하기 위한 더미전극 구동부(70)를 구비한다. 주사서스테인 구동부(64)는 스캔전극라인( $Y1$ 내지 $Ym$ )에 순차적으로 스캔펄스를 공급하여 방전셀들(62)이 라인 단위로 순차적으로 주사되게 함과 아울러 서스테인펄스를 공급하여  $m \times n$  개의 방전셀들(62) 각각에서의 방전이 지속되게 한다. 공통서스테인 구동부(66)는 서스테인전극라인( $Z1$ 내지 $Zm$ )에 서스테인펄스를 공급하여 스캔전극라인과 함께 방전셀들(62) 각각에서의 방전이 지속되게 한다. 제 1 및 제 2 어드레스 구동부(68A, 68B)는 스캔펄스에 동기 되게끔 영상데이터를 어드레스전극라인들( $X1$ 내지 $Xn$ )에 공급하게 된다. 제 1 어드레스 구동부(68A)는 기수 번째 어드레스전극라인들( $X1, \dots, X_{n-1}$ )에 영상 데이터를 공급하는 한편, 제 2 어드레스 구동부(68B)는 우수 번째 어드레스전극라인들( $X2, \dots, X_n$ )에 영상 데이터를 공급한다. 더미전극 구동부(70)는 어드레스 방전 기간동안 더미전극라인( $DF1$ 내지 $DFn$  및  $DS1$ 내지 $DSn$ )에 서스테인펄스를 공급한다. 서스테인펄스가 공급된 더미전극라인( $DF1$ 내지 $DFn$  및  $DS1$ 내지 $DSn$ )들은 방전을 일으켜 프라이밍 하전입자를 방전셀들(62)로 공급한다.

도 6은 본 발명의 실시 예에 따른 교류 면방전 PDP의 구동방법에 있어서 서브필드 별로 PDP의 각 전극 라인에 공급되는 구동 파형을 나타낸 파형도이다.

도 6을 참조하면, 하나의 서브필드는 종래의 경우와 마찬가지로 전 화면을 초기화하는 프라이밍 및 리셋기간, 전 화면을 선순차 방식으로 스캔하면서 데이터를 기입하는 어드레스 기간, 데이터가 기입된 셀들의 발광 상태를 유지시키는 서스테인 기간 및 서스테인방전을 소거시키는 소거기간으로 나뉘어진다. 먼저 리셋 기간에는 방전셀들을 초기화하고, 어드레스 방전을 돕기 위해 스캔전극라인(Y)과 서스테인전극라인(Z)에 인가되는 방전 펄스로 방전을 일으켜 각 방전셀들에 하전입자 및 벽전하를 형성시킨다. 어드레스 기간에 더미전극라인( $DF1$ 및 $DS1$ )은 더미전극 구동부(70)에서 인가되는 서스테인펄스에 의해 방전이 일어나 프라이밍 하전입자를 생성한다. 더미전극라인( $DF1$ 및 $DS1$ )에서 생성된 프라이밍 하전입자들은 도 7과 같이 방전셀(62)들로 공급되어 어드레스 방전을 용이하게 한다. 또한 어드레스 기간에 PDP의 각 스캔라인별 스캔전극라인(Y)들에 스캔펄스( $-V_s$ )를 순차적으로 인가하고, 스캔펄스에 동기 되게끔 데이터펄스( $V_d$ )를 각 데이터전극라인(X)에 공급한다. 이때, 데이터펄스( $V_d$ )와 스캔펄스( $-V_s$ )가 동시에 존재하는 방전셀에서는 어드레스 방전이 일어난다. 그런데, 본 발명에서는 어드레스 방전이 일어나기 전에 콘트라스트 비를 저하시키는 오방전이 일어나지 않는 소정 크기의 보조펄스( $V_a$ )를 스캔전극라인(Y)들에 공급한다. 스캔전극라인(Y)들에 포지티브(Positive)형의 보조펄스( $V_a$ )가 공급되면 도 8a와 같이 상부유전층(86)에 음전하들(83)이 형성된다. 이때 서스테인전극라인(Z)들은 기저전압을 유지하여 음전하들(83)의 형성을 용이하게 한다. 상부유전층(86)에 음전하(83)들이 형성된 후 네거티브(Negative)형의 스캔펄스( $-V_s$ )가 스캔전극라인(Y)들에 공급된다. 스캔전극라인(Y)들에 스캔펄스( $-V_s$ )가 공급되면 도 8b와 같이 데이터펄스( $V_d$ )가 공급된 데이터전극라인(X)과 스캔전극라인(Y)간에 어드레스 방전이 일어난다. 이때, 상부유전층(86)에 미리 형성된 음전하(83)로 인해 방전펄스의 펄스폭( $T_d$ )을 짧게 하고 전압 레벨을 낮추면서도 안정된 어드레스 방전 특성이 얻어지게 된다. 이에 따라 어드레스 방전 펄스의 펄스폭( $T_d$ )을  $1\mu s$ 에 가깝게 단축시킬 수 있다. 방전펄스의 펄스폭( $T_d$ )과 전압레벨( $V_d$ )이 감소되지만 미리 형성된 하전입자들로 인해 방전 지연 현상 및 오방전 현상은 발생하지 않게 된다. 어드레스 방전 펄스의 펄스폭이 짧아짐에 따라 각 서브필드에서의 어드레스 기간이 종래의 두 배 이상 크게 단축된다. 서스테인 기간에는 스캔전극라인(Y)과 서스테인전극라인(Z)에 서스테인 펄스( $V_{sus}$ )가 교번 적으로 인가되어 어드레스 방전에 의해 선택된 방전셀들에 서스테인 면방전을 일으킨다. 소거 기간에는 서스테인전극라인(Z)에 공급되는 소거펄스에 의해 하전입자들이 소거되면서 서스테인방전이 소거된다.

발명의 효과



상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널 및 그 구동방법에서는 스캔전극라인에 포지티브형의 보조 펄스를 공급하여 어드레스 방전 전에 충분한 하전입자를 생성한다. 또한 더미전극라인에 서스테인 펄스를 공급하여 어드레스 기간동안 프라이밍 하전입자를 방전셀들에게 공급하여 어드레스 방전을 용이하게 한다. 어드레스 방전 전에 하전입자들이 충분히 생성되므로 어드레스 방전 펄스의 펄스폭을 크게 단축시키고 저전압으로 구동시킬 수 있게 된다. 이에 따라, 각 서브필드 별로 어드레스 기간이 종래에 비해 획기적으로 단축되고, 그 만큼 서스테인 기간이 늘어나 화면의 휘도가 크게 향상된다. 또한 본 발명에서는 패널의 스캔라인들을 분할 구동시키지 않고서도 고속 어드레싱이 가능해지므로 고해상도 패널의 구동 시에도 서브필드의 수를 10개 이상으로 증가시킬 수 있어 화질 저하 현상을 방지할 수 있게 된다.

#### (57) 청구의 범위

##### 청구항 1.

스캔전극라인들, 서스테인전극라인들 및 데이터전극라인들의 교차부에 방전셀들이 형성되고, 어드레스 방전에 의해 상기 방전셀들을 선택하는 어드레스 기간과, 상기 선택된 방전셀들의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동하는 플라즈마 디스플레이 패널에 있어서,

상기 패널의 유효 표시부 이외의 더미공간 상에 형성되어 상기 어드레스 기간동안 상기 패널에 하전입자를 공급하기 위한 적어도 하나 이상의 더미전극라인들을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 2.

제 1 항에 있어서,

상기 어드레스 기간동안 상기 더미전극라인들에 소정 주파수의 펄스신호를 공급하여 상기 더미전극라인들 사이에 보조 방전을 일으키기 위한 더미전극 구동수단을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 3.

상기 제 2 항에 있어서,

상기 보조방전시에 생성된 하전입자들은 상기 유효표시부 내의 방전셀들에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 4.

스캔전극라인들, 서스테인전극라인들 및 데이터전극라인들의 교차부에 방전셀들이 형성되고, 어드레스 방전에 의해 상기 방전셀들을 선택하는 어드레스 기간과, 상기 선택된 방전셀들의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동하는 플라즈마 디스플레이 패널에 있어서,

상기 어드레스 기간동안 상기 스캔전극라인에 서로 다른 극성의 펄스를 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 5.

제 4 항에 있어서,

상기 스캔전극라인에는 상기 어드레스 방전 전에 방전셀 내에 하전입자를 형성하기 위한 프라이밍 펄스와,

상기 데이터전극라인들의 데이터 펄스에 동기되어 상기 어드레스 방전을 일으키기 위한 스캔펄스가 순차적으로 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 6.

제 5 항에 있어서,

상기 프라이밍 펄스는 정극성으로 공급되며,

상기 스캔펄스는 부극성으로 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 7.

어드레스 기간동안 플라즈마 디스플레이 패널의 유효 표시부 이외의 더미영역 내에 위치한 더미전극라인들에 펄스를 공급하여 제 1 보조방전을 일으키기 위한 더미 구동수단과, 스캔전극라인들에 어드레스기간동안 보조펄스와 스캔펄스를 공급하여 방전셀 내에 제 2 보조방전과 어드레스방전을 순차적으로 일으키기 위한 스캔전극 구동수단을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 8.

상기 제 7 항에 있어서,

상기 제 1 보조방전시에 생성된 하전입자들은 상기 유효표시부 내의 방전셀들에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 9.

제 7 항에 있어서,

상기 보조펄스는 정극성으로 공급되며,

상기 스캔펄스는 부극성으로 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

#### 청구항 10.

스캔전극라인들, 서스테인전극라인들 및 데이터전극라인들의 교차부에 방전셀들을 형성하는 단계와, 어드레스 방전에 의해 상기 방전셀들을 선택하는 단계와, 상기 선택된 방전셀들의 방전을 유지시키는 단계를 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 어드레스 기간동안 패널의 유효표시부 이외의 더미공간상에 방전을 일으켜 상기 방전에 의해 생성된 하전입자를 상기 유효표시부에 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

#### 청구항 11.

스캔전극라인들, 서스테인전극라인들 및 데이터전극라인들의 교차부에 방전셀들이 형성되는 단계와, 어드레스 방전에 의해 상기 방전셀들을 선택하는 단계와, 상기 선택된 방전셀들의 방전을 유지시키는 단계를 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

어드레스 기간동안 상기 스캔전극라인에 정극성 보조펄스와 미소펄스폭을 가지는 부극성 스캔펄스를 순차적으로 공급하여 어드레스 방전을 일으키는 단계를 포함하는 플라즈마 디스플레이 패널의 구동방법.

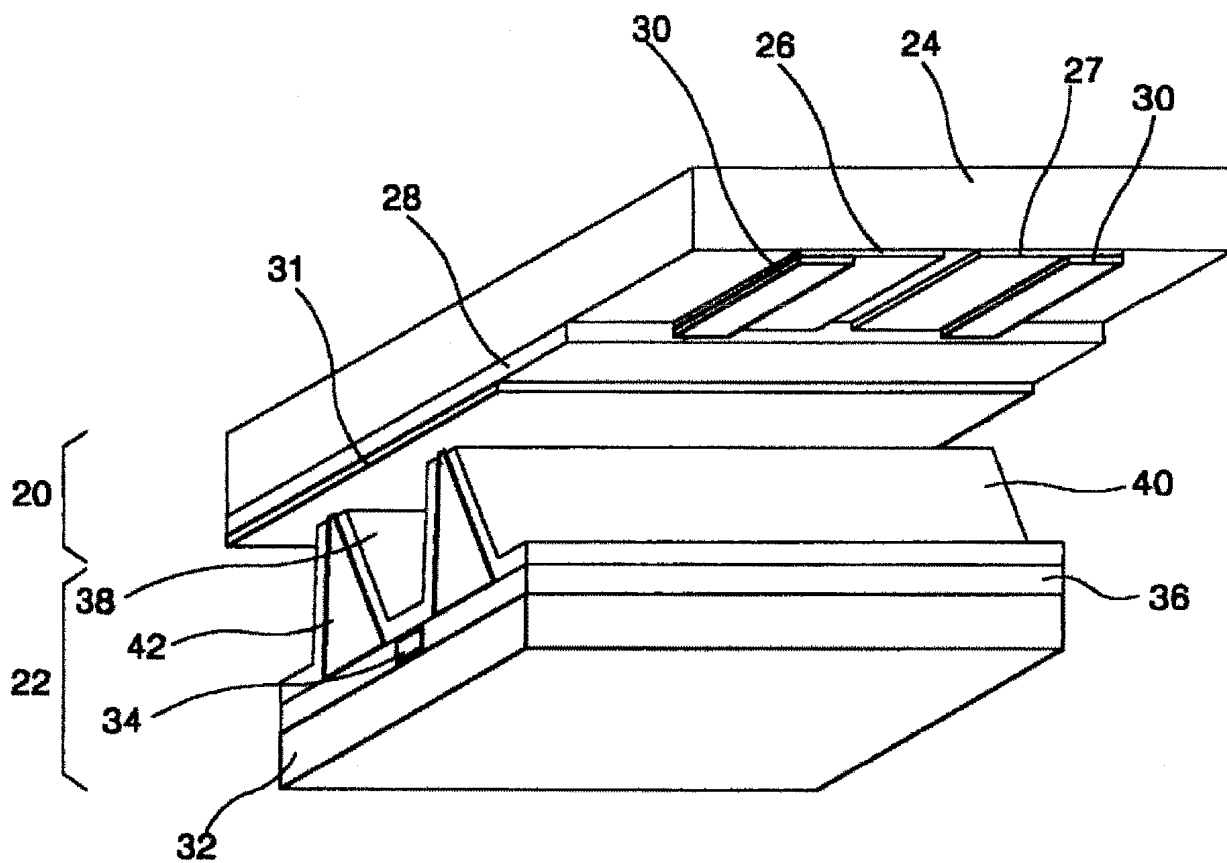
청구항 12.

플라즈마 디스플레이 패널의 유효 표시부 이외의 더미영역 내에 위치한 더미전극라인들이 상기 유효 표시부 내의 방전 셀들에 하전입자를 공급하기 위한 보조방전을 일으키는 단계와,

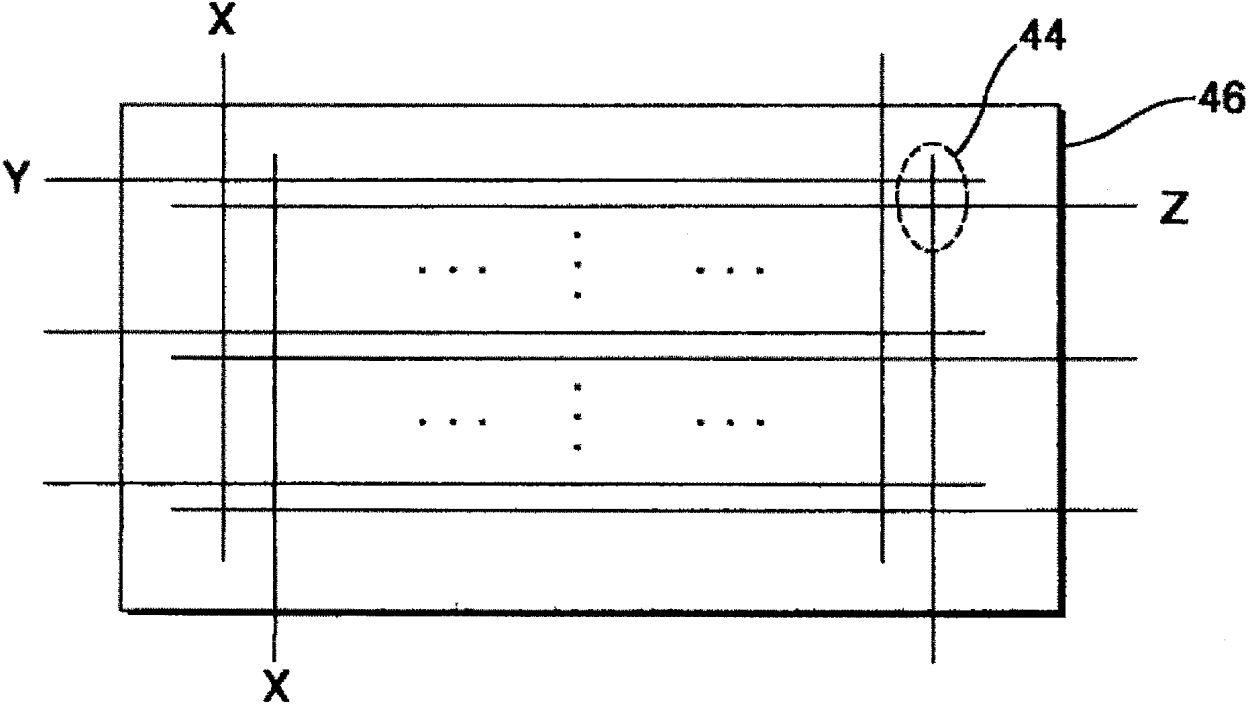
스캔전극라인들에 어드레스기간동안 정극성 보조펄스와 부극성 스캔펄스를 공급하여 어드레스방전을 일으키는 단계를 포함하는 플라즈마 디스플레이 패널의 구동방법.

도면

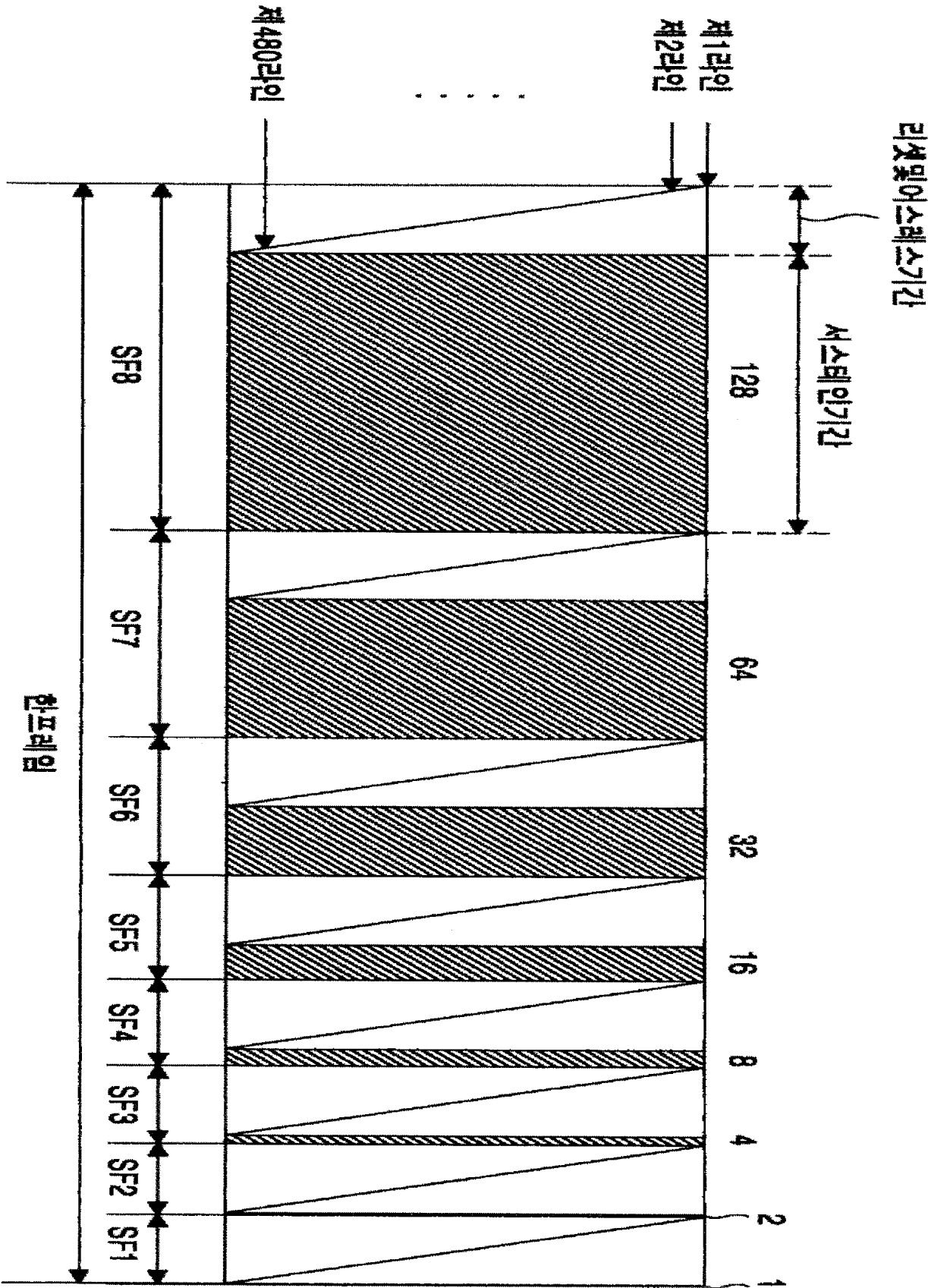
도면 1



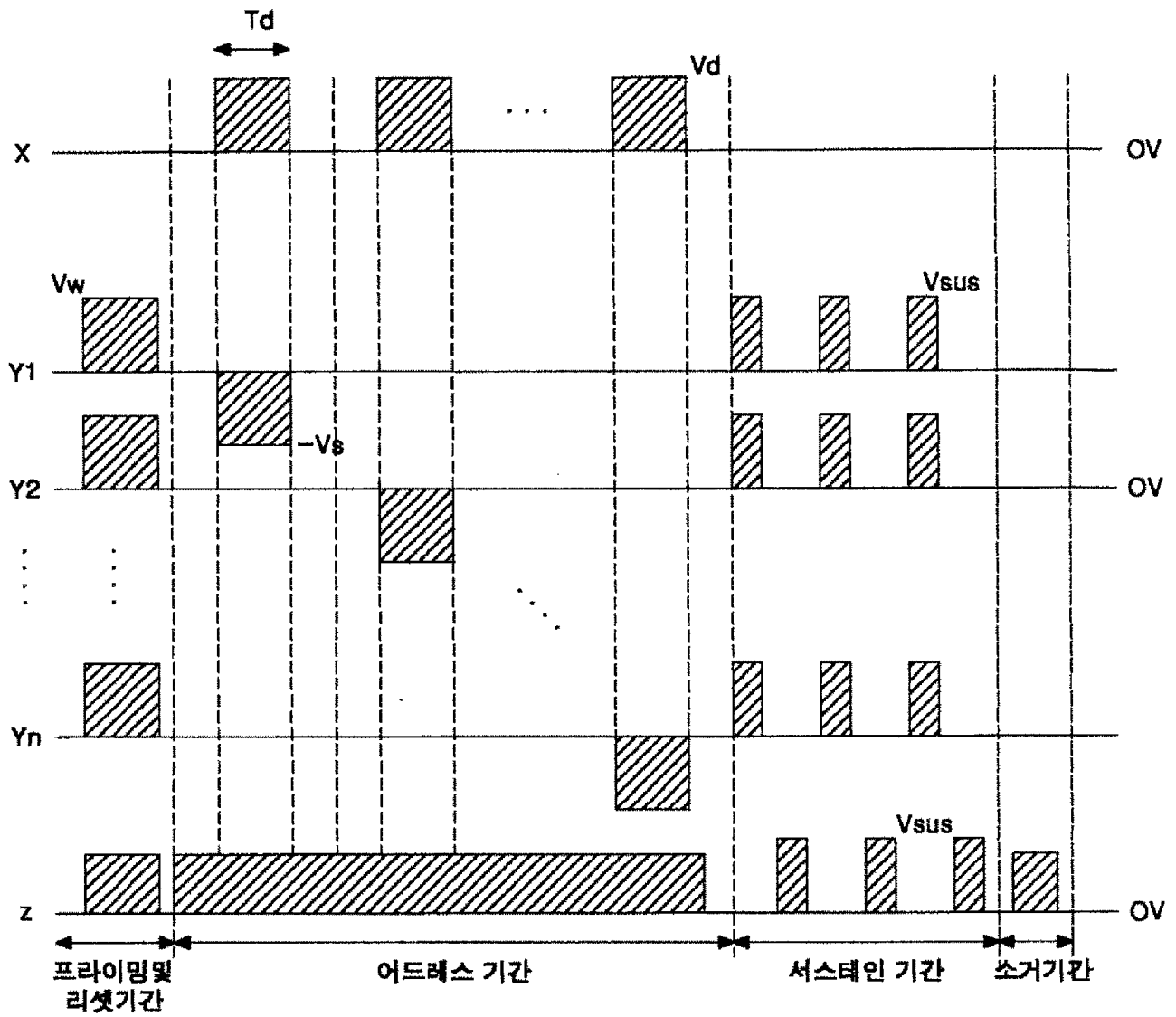
도면 2



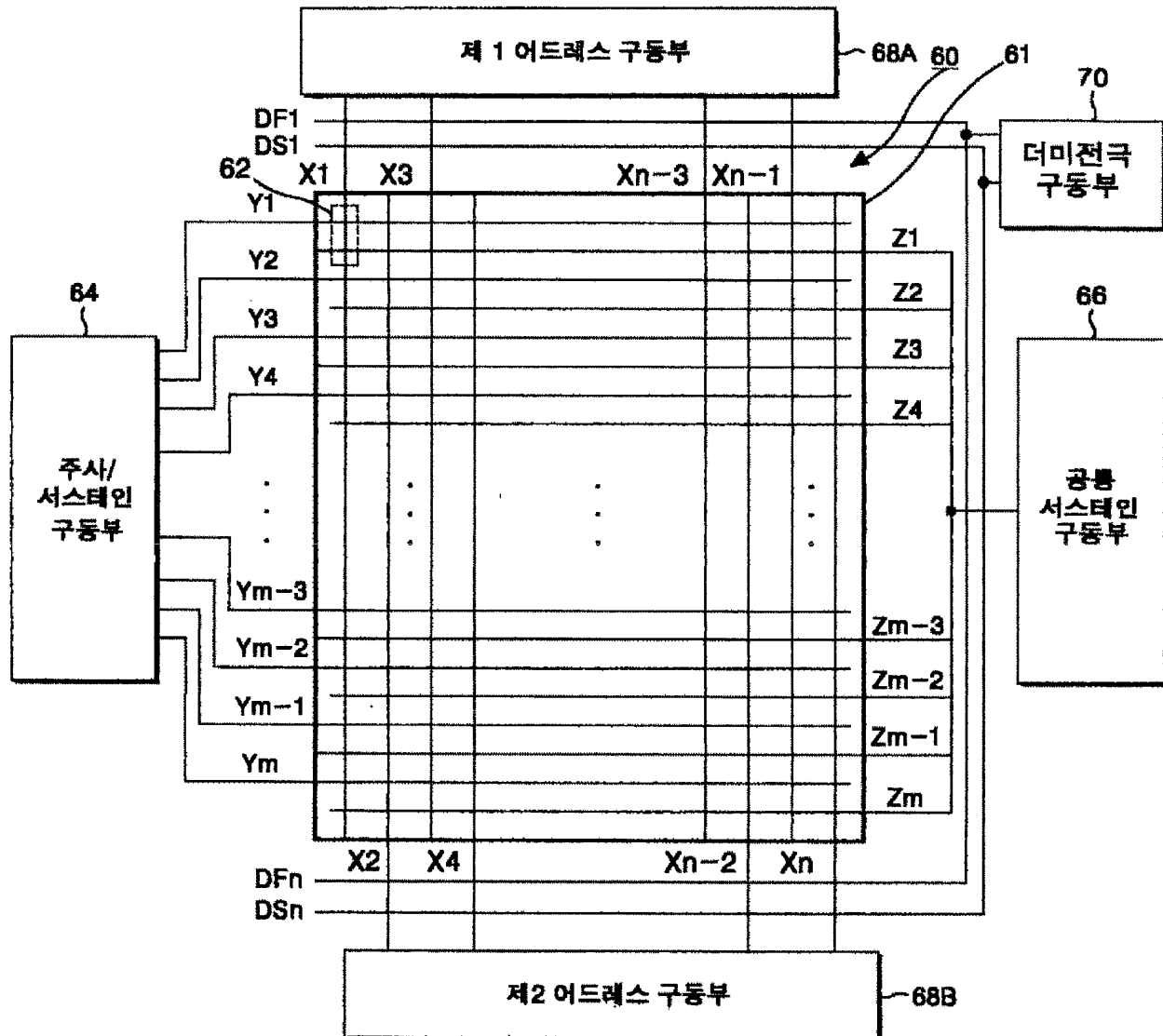
도면 3



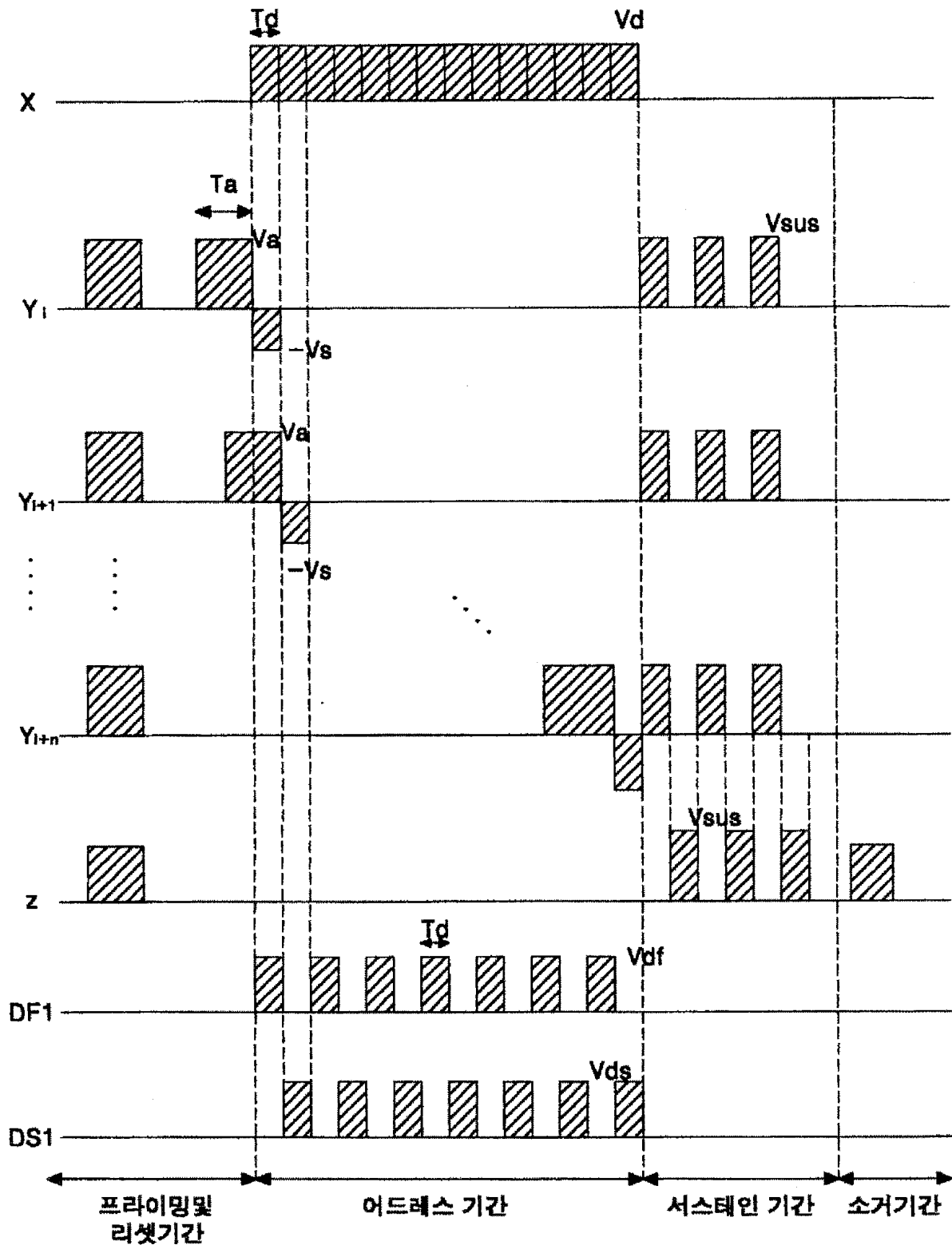
도면 4



도면 5

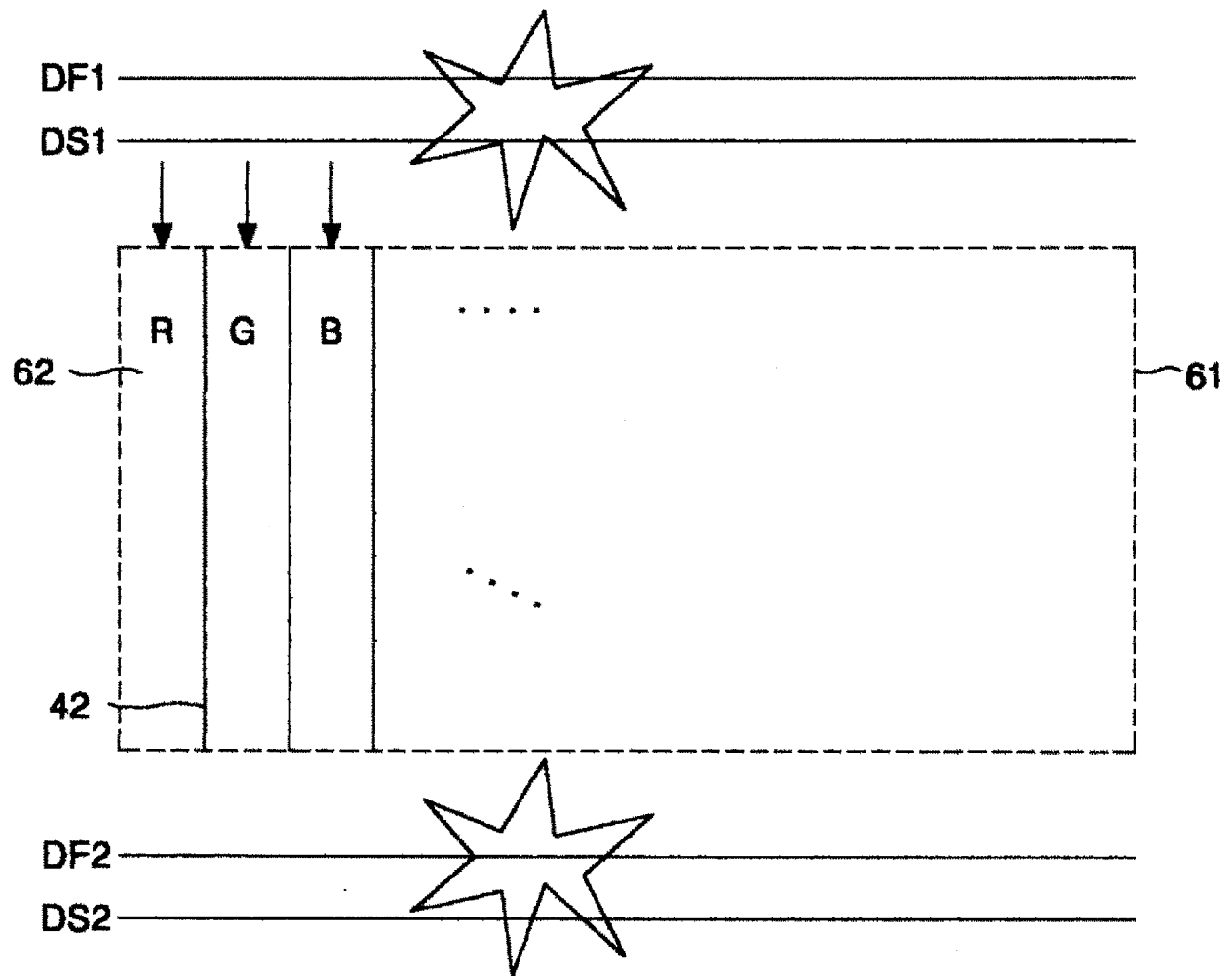


도면 6

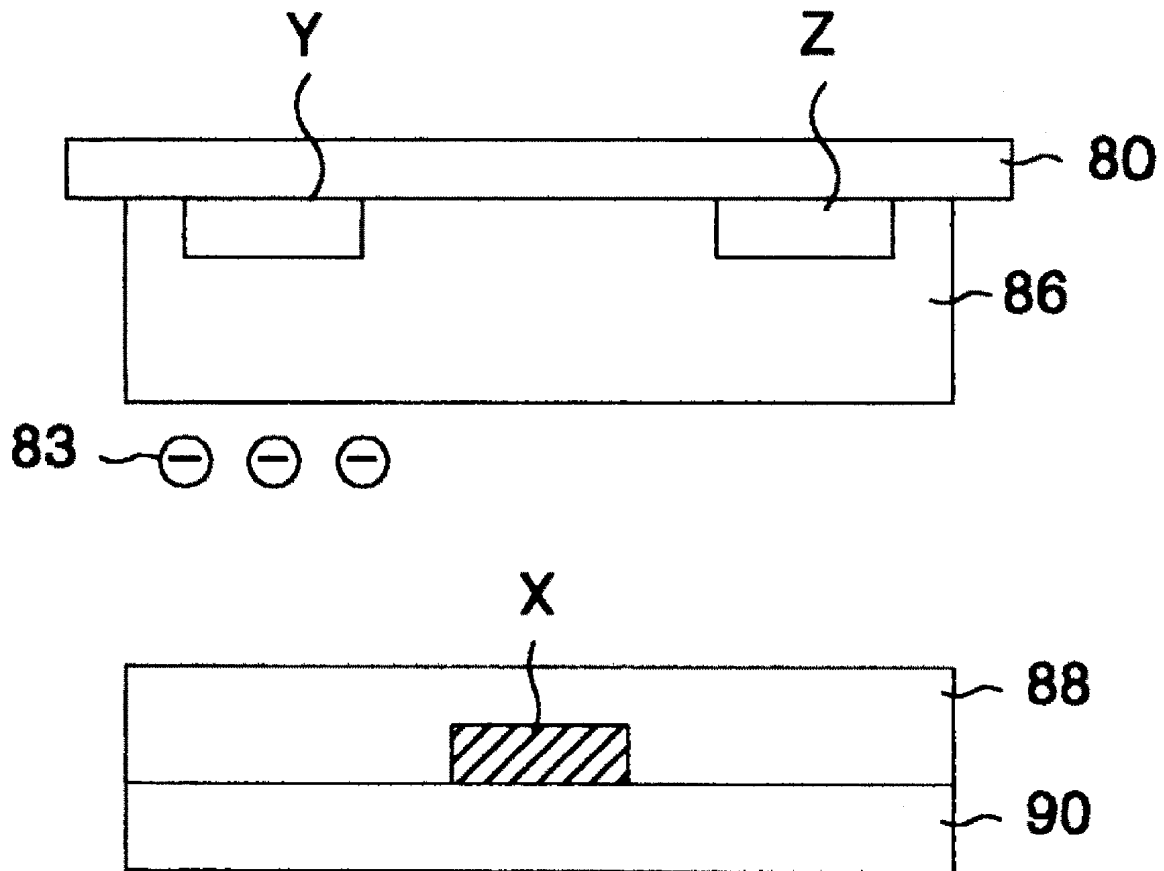




도면 7



도면 8a



도면 8b

